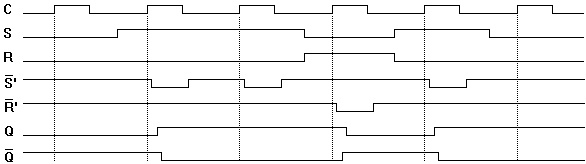
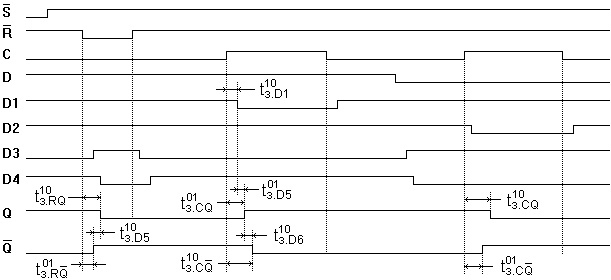
46. Изобразите на временных диаграммах различие потенциального и динамического синхронных RS- триггеров.

Статический (потенциальный?)



Динамический



47. Поясните назначение модифицированного дополнительного кода. Приведите пример с двумя двоичными многоразрядными аргументами со знаком.

В большинстве вычислительных устройств используется представление целых чисел со знаком. Старший разряд используется для кодирования знака: 0 обозначает положительное число, 1- отрицательное число.

Использование представления чисел вместе со знаками в двоичном коде позволяет осуществлять арифметические операции суммирования и вычитания, получая результат с готовым знаком числа результата, применяя тот же классический комбинационный многоразрядный сумматор.

Применение дополнительного и обратного кода позволяет представлять отрицательные числа в этих кодах и, подавая их на сумматор фактически выполняя операцию суммирования, получать разность. Перед рассмотрением примеров использования дополнительного и обратного кода необходимо остановится на следующих аксиомах и правилах:

1. Сумма двух чисел в дополнительном (или обратном) коде есть дополнительный (или обратный) код.

2. Дополнительный (обратный) код положительного числа совпадает с его прямым кодом.

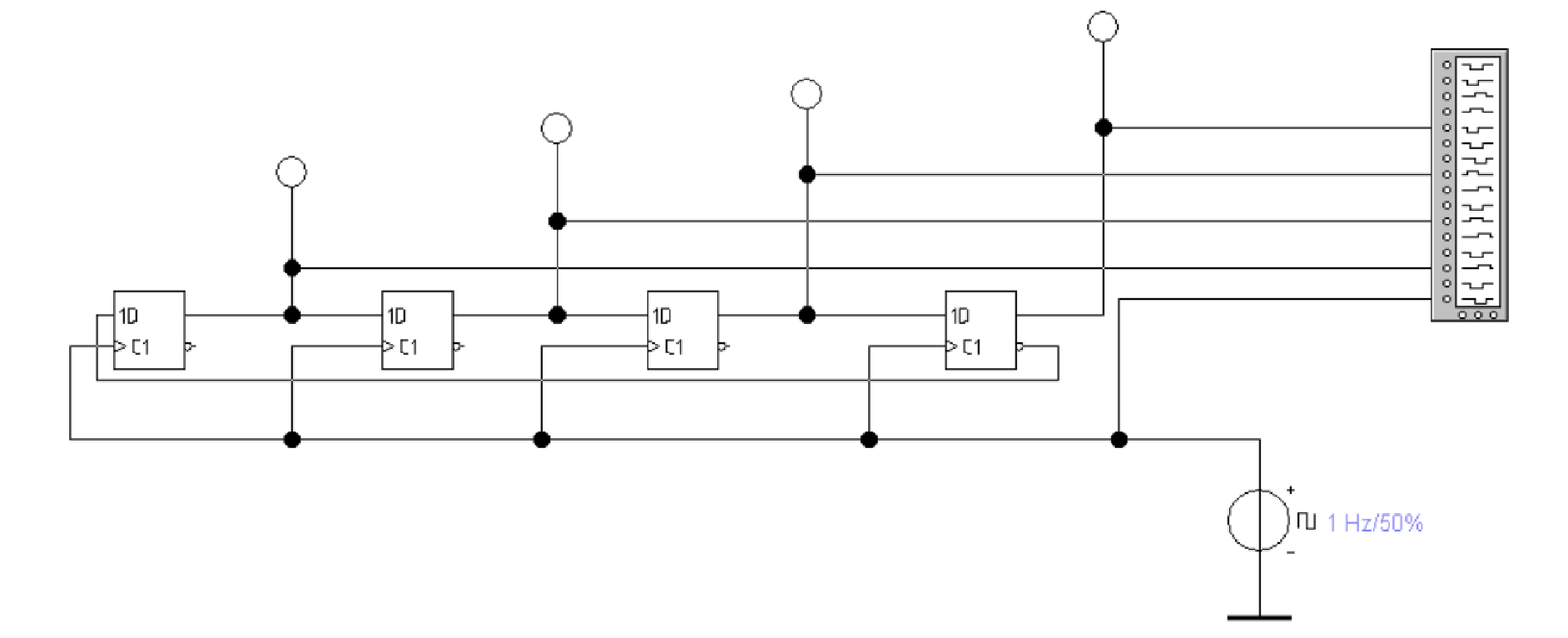
3. Дополнительный код отрицательного числа со знаком формируется путём инвертирования разрядов числовой части целого числа, исключая знак и арифметическое сложение инвертированного значения с единицей.

4. Обратный код отрицательного числа со знаком формируется путём инвертирования разрядов числа, кроме разряда знака.

Сумматор дополнительного кода выглядит как многоразрядный комбинационный сумматор. Самый старший одноразрядный сумматор в таком сумматоре складывает двоичные коды знаков. Выходной перенос из знакового разряда отбрасывается. Ниже приведены несколько примеров сложения чисел со знаками в различных сочетаниях у аргументов.

48. Пример счетчика Джонсона на сдвиговом регистре. Диаграмма работы.

Для получения схемы счетчика Джонсона необходимо соединить инверсный выход старшего разряда регистра с входом младшего. Изменяя частоту синхроимпульсов, можно добиться разной скорости изменения состояний.



(не уверен, что это именно на сдвиговом регистре)

49. Структура и назначение декрементора.

Декрементор - это комбинационная схема осуществляющая вычитание из многоразрядного двоичного кода аргумента А значения одноразрядной логической единицы.

Многоразрядный декрементор строится из n полувычитателей, объединяемых трактом последовательного заёма.

При этом вход заёма осуществляется на вход вычитаемого в полувычитатель.

На один из входов младшего полувычитателя декрементора подаётся логическая единица.

Инкременторы и декременторы используются, например при организации серий обращений к последовательным адресам памяти.

Для этого они вводятся в состав микропроцессоров. Они выполняют функции счётчиков, но без запоминания результата и соответственно без потери исходного числа.

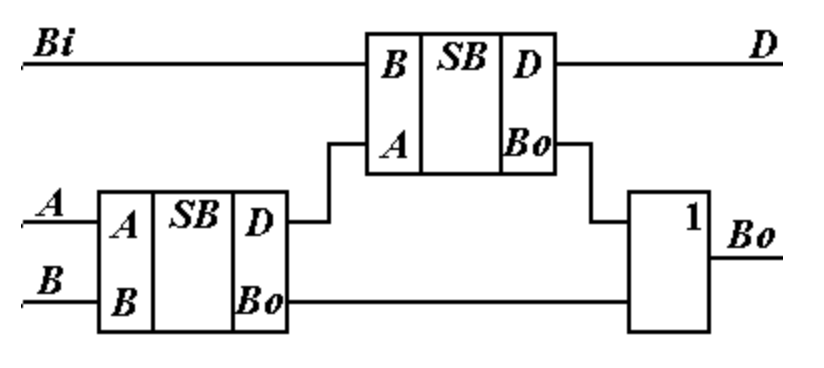
50. Поясните принцип построения реверсивного счетчика.

Реверсивные счетчики осуществляют подсчет сигналов как в прямом, так и в обратном направлении, т.е. они могут работать в режиме сложения и в режиме вычитания сигналов.

Для построения реверсивных счетчиков необходимо предусмотреть схемы, пропускающие сигналы на вход следующих триггеров либо с инверсного (при суммировании), либо с прямого (при вычитании) выходов предыдущего триггера.

51. Схема и принцип работы полного вычитателя на  
основе полувычитателей. Приведите таблицу истинности

полного вычитателя.



При вычитании многоразрядных двоичных чисел нужно принимать во внимание заем "единиц" в более старших разрядах. Такую операцию осуществляет полный вычитатель. Полувычитатель— логическая схема, имеющая два входа и два выхода. Полувычитатель позволяет вычислять разность  A-B, где A и B — это одноразрядные двоичные числа (А-уменьшаемое, B-вычитаемое) при этом результатом будут два бита D и Bo (D — это бит разности , а Bo — бит заёма)

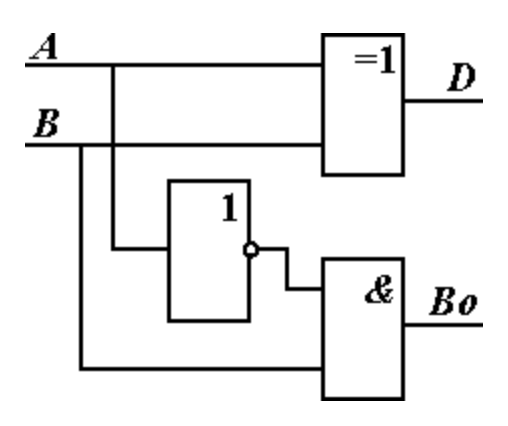


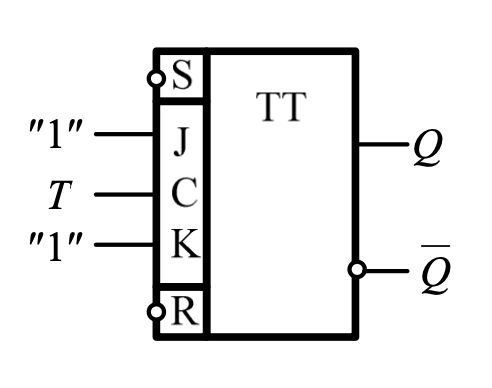
Схема полувычитателя



52. Преобразование универсального JK-триггера в Т-триггер.

Назначение асинхронных входов.

Для преобразования универсального JK-триггера в Т-триггер вход J подключается напрямую к входу T-триггера, а вход K подключается к инвертированному сигналу входа T. Входы преобразованного Т-триггера могут быть обозначены как T и T'.



Асинхронные входы представлены в виде префиксов "асинхронный сброс" (асинхронный CLR) и "асинхронная установка" (асинхронный SET). Асинхронные входы позволяют управлять состоянием JK-триггера независимо от тактового сигнала и сигналов J и K. Они могут использоваться для инициализации или управления особыми состояниями триггера.

53. На какие входы счётчика подаётся значении для начального отсчёта, если оно должно быть отлично от нуля?

Если значение для начального отсчёта счётчика должно быть отлично от нуля, то оно подаётся на входы счётчика, которые соответствуют первому разряду (обычно самому младшему разряду). Например, если счётчик имеет 4-разрядное представление, то значение для начального отсчёта будет подаваться на входы, которые управляют первым разрядом счётчика.

54. Типы переносов в сумматорах. Поясните организацию сумматоров с параллельным переносом.

По способу организации межразрядных переносов делят на:

Сумматоры с последовательным переносом, с параллельным переносом, с условным переносом и со сквозным переносом.

Сумматор с параллельным переносом - это тип сумматора, который выполняет сложение нескольких битов параллельно. Он основан на принципе предварительного вычисления переносов между битами и их последующем применении к сумме.

Сумматоры с условным переносом- это тип сумматоров, который оптимизирует операцию сложения, минимизируя использование переносов и тем самым улучшая эффективность и скорость работы.

В сумматоре с условным переносом перенос генерируется и применяется только тогда, когда это действительно необходимо. Он использует информацию о входных данных и предыдущих переносах для принятия решения о генерации переноса.

Сумматоры со сквозным переносом - это тип сумматоров, который позволяет ускорить операцию сложения путем предварительного вычисления переносов для каждого разряда без необходимости последовательного распространения переноса от младших разрядов к старшим.

Основная идея сумматора со сквозным переносом состоит в том, что перенос для каждого разряда вычисляется параллельно на основе входных данных, а не в последовательном режиме. Таким образом, переносы для всех разрядов могут быть вычислены одновременно.

Сумматор с последовательным переносом (Ripple Carry Adder) - это тип сумматора, который осуществляет сложение путем последовательного распространения переносов от младших разрядов к старшим.

В сумматоре с последовательным переносом каждый разряд суммируется с учетом переноса из предыдущего разряда. Перенос из младшего разряда распространяется на следующий разряд, и этот процесс продолжается по всем разрядам, пока не достигнут самый старший разряд.

Организация сумматора с параллельным переносом состоит из двух основных блоков: блока сложения полусумматорами и блока генерации и распространения переноса

Блок сложения полусумматорами принимает два бита для сложения и генерирует сумму и перенос для каждого разряда. Сумма представляет собой результат сложения двух битов, а перенос определяет, будет ли происходить перенос в следующий разряд.

Блок генерации и распространения переноса получает переносы от полусумматоров и генерирует их для следующего разряда. Он определяет, должен ли происходить перенос из текущего разряда в следующий, и распространяет перенос по всем разрядам сумматора.

В сумматоре с параллельным переносом переносы предварительно вычисляются и применяются одновременно для всех разрядов, что позволяет достичь высокой скорости сложения, но при использовании большого числа разрядов может потребоваться больше аппаратных ресурсов для реализации сумматора с параллельным переносом по сравнению с сумматором с последовательным переносом.



55. Сформулируйте назначение сигнала синхронизации в синхронных триггерах.

Сигнал синхронизации в синхронных триггерах используется для управления моментом записи или чтения данных в триггере. Его назначение заключается в синхронизации операций записи и чтения с внешним тактовым сигналом, что обеспечивает согласованность и правильность работы триггера.

Когда сигнал синхронизации имеет фронт (переход с низкого уровня на высокий) или спад (переход с высокого уровня на низкий), триггеры считывают значения на своих входах и выполняют операции записи или чтения данных.

56. Приведите один из вариантов ограничения модуля счёта у суммирующего счётчика.

ChatGPT

Пример - использование дешифратора для управления сбросом или перезагрузкой счётчика при достижении определенного значения счёта.

В данном варианте, выходы счётчика подключаются к входам дешифратора, который определяет, когда должен произойти сброс или перезагрузка счётчика. Дешифратор имеет выходной сигнал, который активируется только в определенном диапазоне счёта, и этот сигнал используется для управления сбросом или перезагрузкой счётчика.

Например, предположим, что суммирующий счётчик является 4-разрядным (счёт от 0 до 15). Дешифратор, подключенный к его выходам, имеет активный выходной сигнал, когда счётчик достигает определенного значения, например, 9. Этот сигнал используется для управления сбросом или перезагрузкой счётчика обратно в начальное состояние (0).

Лекции:

Принцип построения таких счетчиков заключается в исключении “ лишних” устойчивых состояний у счетчика Ксч =2n, т.е. в организации схем, запрещающих некоторые состояния.

Принцип построения таких счетчиков заключается в исключении “ лишних” устойчивых состояний у счетчика Ксч =2n , т.е. в организации схем, запрещающих некоторые состояния. Число запрещенных состояний для любого счетчика можно определить из следующего выражения: 

Рассмотрим способ построения счетчика с естественным порядком счета, у которого уменьшение числа устойчивых состояний достигается за счет сбрасывания счетчика в нулевое состояние при записи в него заданного числа сигналов.

В соответствии с этим способом к счетчику добавляется логическая схема, проверяющая условие: «код на счетчике изображает число равное Ксч, и в зависимости от результата проверки направляет входной сигнал либо на шину "установка 0", либо на суммирование к записанному коду».

Это условие можно проверить с помощью n-входовой схемы И, связанной с прямыми выходами тех триггеров, которые при записи в счетчике числа, равного Ксч должны находиться в состоянии «1» и с инверсными выходами триггеров, которые в этом случае должны находиться в состоянии «0».

Рассмотрим синтез схемы подобного счетчика на примере Ксч=10 ,т.е. счетчик должен иметь 10 состояний: от 0 до 9 в десятичной системе и от 0000 до 1001 в двоичной системе.

Снача­ла определяется разрядность счетчика:

Полученное значение n округляется до ближайшего целого числа, т.е. n=4. Затем определяется какие разряды счетчика будут находится в единичном состоянии при записи в счетчик Ксч.

Прямые выходы этих разрядов заводятся на входы логической схемы ”И” и далее в цепь установки "0". Таким образом, при достижении счетчиком значения Ксч он автоматически возвращается в состояние 0000 и счет начинается сначала.

57. С какой логической функцией совпадает функция переноса одноразрядного сумматора. Приведите схему полного одноразрядного сумматора.

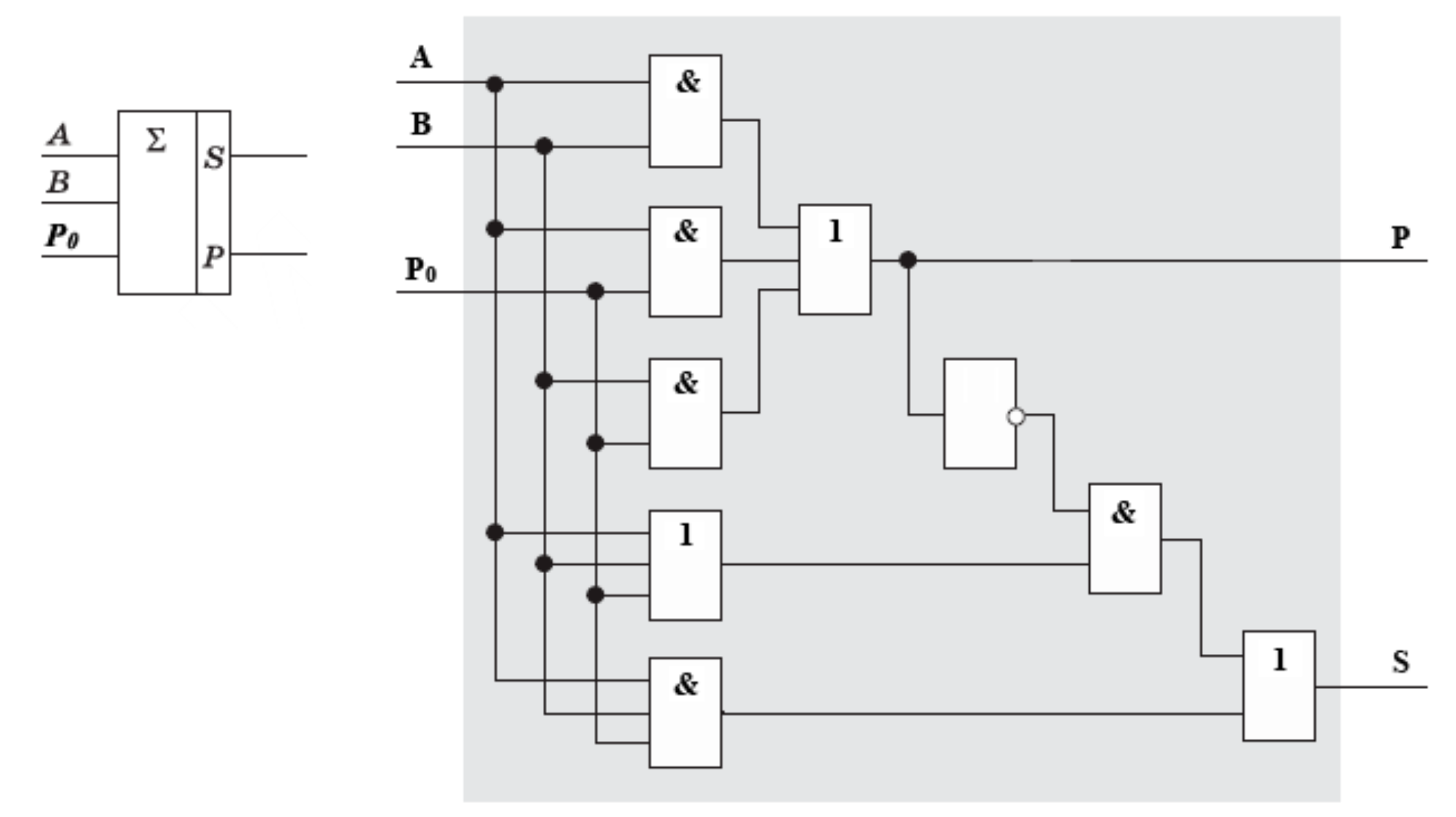
(Хз, тут два варианта. Первый – gpt, второй – лекции)

Функция переноса одноразрядного сумматора совпадает с логической функцией логического ИЛИ (OR).

В одноразрядном сумматоре, функция переноса определяет, есть ли перенос из младшего разряда в старший разряд при сложении двух битов. Она выдаёт логическую единицу, если происходит перенос, и логический ноль в противном случае.

Лекции

Перенос происходит с помощью функции И, а выработка сигнала суммы (функции неравнозначности) производится элементом ИСКЛЮЧАЮЩЕЕ – ИЛИ.



58. Поясните управление переключением разрядов в синхронном счётчике.

Особенностью счётчиков синхронного типа является подача счётного импульса одновременно на все разряды счётчика.

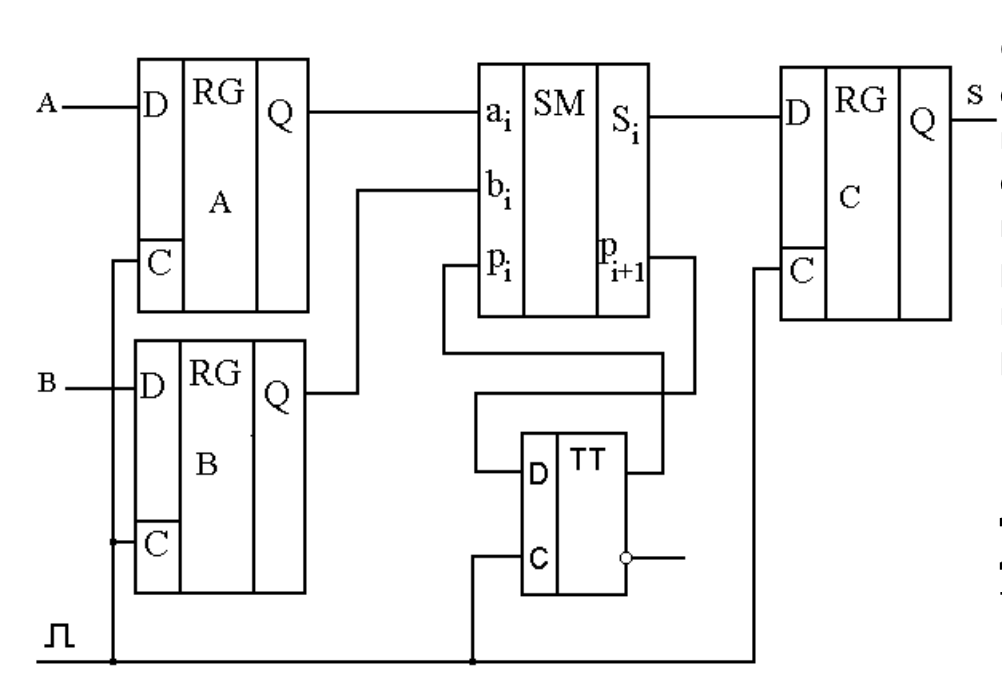
Управление правильностью переключения разрядов счётчика возлагается на логические элементы «И».

Логический элемент «И» включает счётный режим на данном разряде счётчика подачей J=K=1, если младшие разряды по отношению к данному приняли состояние единиц.

Это условие касается суммирующего синхронного счётчика.

В случае синхронного вычитающего счётчика переключение данного разряда должно быть разрешено, если все младшие разряды по отношению к данному приняли состояние «все нули».

59. Схема работы одноразрядного сумматора последовательного действия.



Сумматор для последовательных операндов содержит один одноразрядный сумматор, который обрабатывает операнды поочередно разряд за разрядом, начиная с младшего. Он состоит из одноразрядного сумматора, двух сдвигающих регистров A и B, в которых хранятся слагаемые, сдвигающего регистра С для записи результата вычисления и D-триггера, в котором запоминается перенос в старший разряд при нахождении суммы в текущем разряде.

60. Каким схемным решением обеспечивается неизменность хранимого в регистре кода при его выдаче с выходов регистра, притом, что на входе регистра может быть сигнал наведённой помехи?

Для обеспечения неизменности хранимого в регистре кода при выдаче с его выходов в присутствии наведенных помех можно использовать схемное решение, называемое "защелкой".

Защелка - это схема, которая используется для устранения нежелательных изменений данных в регистре в результате помех или шума на входе. Она обеспечивает стабильность состояния регистра и предотвращает случайные изменения выходного кода.

Одна из наиболее распространенных форм защелки - это RS-защелка, которая имеет два управляющих входа: Set и Reset. RS-защелка может быть реализована с использованием двух NOR или двух NAND элементов.

Защелка действует как временное хранилище данных и предоставляет стабильный выходной сигнал, который остается неизменным до поступления новых управляющих сигналов на входы Set или Reset.